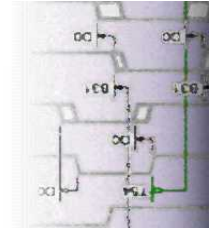


&



WaveFormer, TestBencher, VeriLogger und DataSheet Pro, lassen sich in zahlreiche populäre EDA-Designumgebungen und Hardware-Testsystemen integrieren. Wir möchten Ihnen die Wechselwirkung der Werkzeuge anhand des „Mentor-Designflows“ veranschaulichen.

Der WaveFormer ist in der Lage, Testvektoren für Mentor Graphics' VHDL, Verilog, SPICE und Gate-Level-Simulator, zu generieren. SynaptiCAD's Produkte ermöglichen die Spezifikation und Analyse von Zeitdiagrammen in der frühen Designphase. Eben diese Spezifikationen lassen sich als Stimuli ausgeben und für die Schaltungssimulation verwenden. Mit dem WaveFormer, erstellt man Zeitdiagramme durch das einfache Zeichnen der Signale, Clocks und Busse oder durch die Simulation von Signalen in Boolean bzw. Registerlogik. Grafische Timingparameter, wie z.B. Delays, Setups und Holds zeigen „Online“ die zeitlichen Abhängigkeiten der Signalübergänge.

VHDL & Verilog Support

Die Programme von SynaptiCAD unterscheiden zwei Arten von HDL-Testbenches. Der WaveFormer erstellt Testvektoren aus einzelnen Zeitdiagrammen heraus. Diese „einfache“ Testbench, ist ideal zum stimulieren von kleineren Designs und Modellen. Der größere „Bruder“ des WaveFormers, der TestBencher, generiert aus vielen Zeitdiagrammen heraus, eine selbstprüfende, reaktive Testbench, welche auf die Antwort des zu testenden Designs reagiert. Der TestBencher ist perfekt für das Erstellen von Simulationsmodellen für die Schnittstellen von Bussen (BFM=Bus Functional Model) und Mikroprozessoren.

Import & Export von Signalen

Die Programme unterstützen Signalbeschreibungen unterschiedlichster Art, wie z. B. das Zeichnen von Signalfolgen in einem Zeitdiagramm-Editor, numerischer Beschreibung aus Tabellen, von HP-Logikanalysatoren aufgezeichneten Signalfolgen und den Simulationsdaten von Mentor-Simulatoren. Alle Signale sind als Testvektoren auszugeben.

