

VeriLogger Pro

The screenshot displays the VeriLogger Pro interface with the following components:

- Project Hierarchy:** Shows a tree structure for 'Volladdierer3.hpi' containing a 'FourBitAdder' component and its internal 'fulladder' sub-components and signals.
- Code Editor:** Contains Verilog code for a 'fulladder' module and a 'FourBitAdder' module. The code includes logic for XOR and AND operations to calculate the sum and carry-out.
- Timing Diagram:** Shows waveforms for signals 'sum[3:0]', 'c_out', 'x[3:0]', 'y[3:0]', and 'c_in'. The time scale is set to 80ns. The diagram shows a transition from state C to state D.
- Parameter Table:** A table for 'Add Free Parameter' with columns for name, min, max, margin, and comment.

name	min	max	margin	comment
var1	3.4	7.9	na (free)	Variable Verzöger
F0	2.55	12.45	na (free)	
- Report - Break Points:** A table listing source lines with break points.

Type	File Name	Line #	Time(ns)
Source Line	F:\WLogger\Examples\add4.v	7	
Source Line	F:\WLogger\Examples\add4.v	33	
Source Line	F:\WLogger\Examples\add4.v	22	
Source Line	F:\WLogger\Examples\add4.v	16	

... für die universelle Verilog-Simulationsumgebung



... die universelle Verilog-Simulationsumgebung

VeriLogger Pro bietet alle Funktionalität, die man von einem professionellen Simulationspaket erwarten darf, wie z.B.

- ein komfortables Waveform-Fenster
- einen Einzel-Schritt-Debugger (BugHunter Pro)
- das Setzen der „Breakpoints“ per Mausklick
- die farbliche Darstellung der Syntax im Editor
- ein Befehlszeilen-Compiler

Ein hierarchischer Projektmanager zeigt die strukturelle Anordnung der Module in Ihrem Verilogdesign an. VeriLogger Pro unterstützt alle RTL-, Behavioral- und Synthese-Konstrukte des IEEE-1364 Standard.

Mit dem VeriLogger können Sie das Design in textlicher, hierarchischer und grafischer Form, und auf Zeilen-Ebene des Modells betrachten. Untergeordnete Fenster beschreiben die Haltepunkte in der Simulation (Breakpoint) und aufgetretene Fehler (Error Log).

Neben der Funktionalitäten besticht der VeriLogger besonders durch die intuitive Bedienung. Mit der neuen Benutzeroberfläche des VeriLogger Pro, ist ein universelles, interaktives und anwenderfreundliches Interface entstanden.

Reduzieren Sie Ihre Kosten für die EDA-Werkzeuge um das 10-fache !

Wenn Sie schon immer die neusten Designmethoden verwenden wollten, aber wegen den hohen Anschaffungskosten gezögert haben, ist der VeriLogger Pro die beste Antwort. Wenn Sie bereits auf Verilog Pro umgestiegen sind, aber es sich nicht leisten konnten jeden Entwickler mit einem eigenen Simulator auszustatten ist der VeriLogger ebenfalls die richtige Wahl. Der VeriLogger ist kompatibel mit Cadence Verilog-XL und lässt sich nahtlos in dessen Systemumgebung integrieren.

Der VeriLogger läuft auf Laptops genauso wie auf Desktop PCs

VeriLogger Pro macht Sie flexibel. Entwickler können ganze Designs im Büro, zu Hause, während der Bahnfahrt oder des Fluges, mit Ihrem Laptop, PC oder Workstation entwickeln. Die Modelle können problemlos zwischen den Plattformen ausgetauscht werden.

Kompatibel mit Verilog-XL

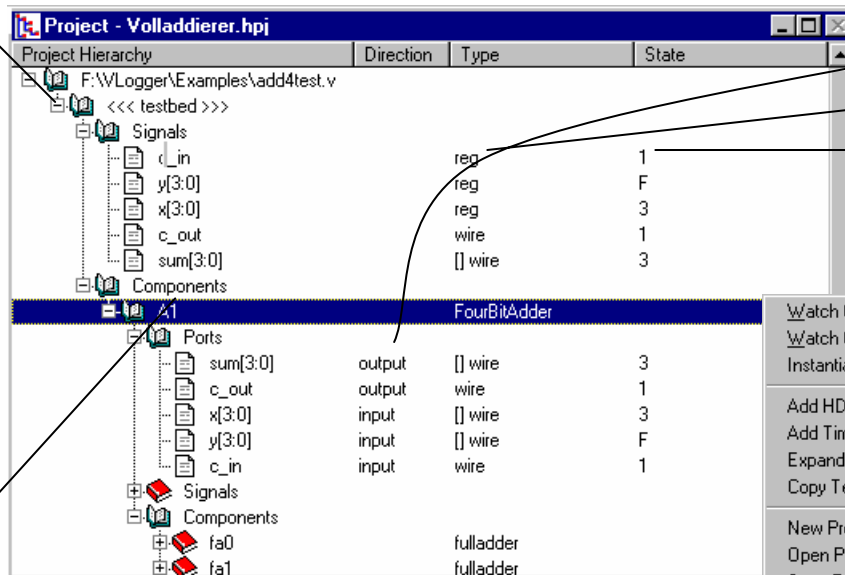
Verwenden Sie VeriLogger Pro für den Entwurf von ASICs oder FPGAs „Pre-Synthese“ RTL-Modelle, unabhängig von der Größe des Modells. Getestete Kompatibilität zu Verilog-XL bedeutet dass der VeriLogger als günstige Ergänzung in Ihrer Designumgebung dienen wird.

VeriLogger Pro hat verschiedene Beschreibungs- und Ausgabefenster für die komfortabelste Art und Weise Verilog-Modelle zu entwerfen:

Project Window

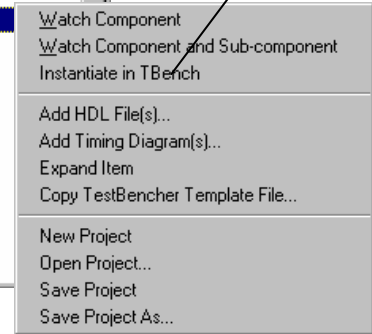
Das Projektfenster ist für die Darstellung der hierarchischen Struktur der Verilog-Komponenten, zum Betrachten des Quellcodes und für die Definition der anzuzeigenden Signale vorgesehen. Jedes Element des hierarchischen „Browsers“ hat ein context-sensitives pop-up menu, das mit der rechten Maustaste geöffnet werden kann.

Ein Doppelklick öffnet die Datei in einem neuen Editor-Window



Anzeige von
- Richtung
- Typ
- Zustand

Betrachten von Ports, Komponenten, Signale im Waveform-Fenster



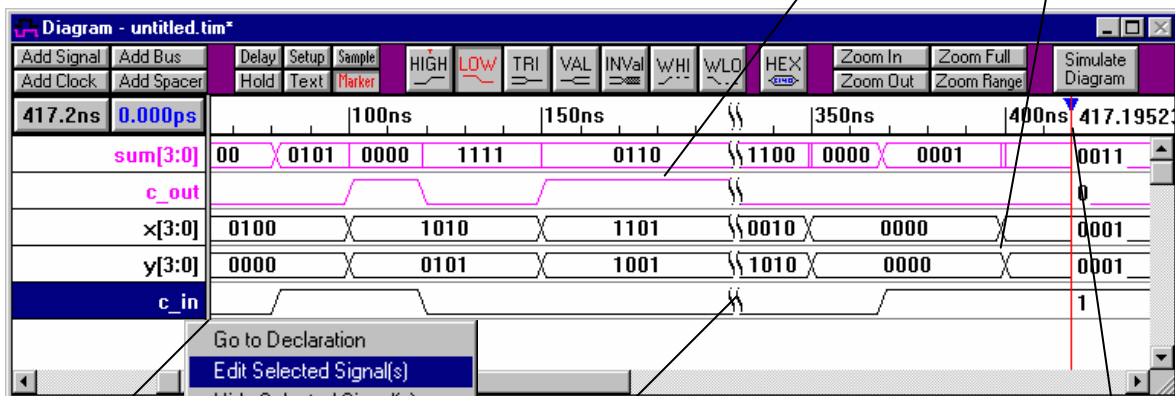
Per Doppelklick zur Deklaration des Signals bzw. Komponente im HDL-Quellcode im Editor-Window

Kontext-sensitives Pop-up Menu per rechten Mausklick

Diagram Window

Im Diagram Window sind die zeitlichen Abläufe der Signale zu betrachten. Diese sogenannten „Waveform-Fenster“ haben zahlreiche interaktive Funktionen für die Simulation, Analyse, Stimulidefinition und Dokumentation.

Farbcodierte Signalformen – Lila ⇔ Output , Schwarz ⇔ Input



Per rechten Mausklick gelangt man zur Deklaration im Editor Window

Marker helfen bei der Analyse, Simulation und Dokumentation durch z.B. Zeitkompression

Linker Mausklick in die Zeitachse ⇔ Die Signale zu der speziellen Zeit werden angezeigt

Editor Window

Der komfortable HDL-Texteditor ist für die Beschreibung der Modelle und deren „Debugging“ bestens ausgerüstet.

Zur besseren Lesbarkeit ist der Text farblich codiert

Der weiße Pfeil zeigt auf Signale, Ports und Komponenten die im Project Window selektiert wurden.

Breakpoints mit einem Mausklick platzieren

Der grüne Pfeil kennzeichnet die aktuell ausgeführte Befehlszeile

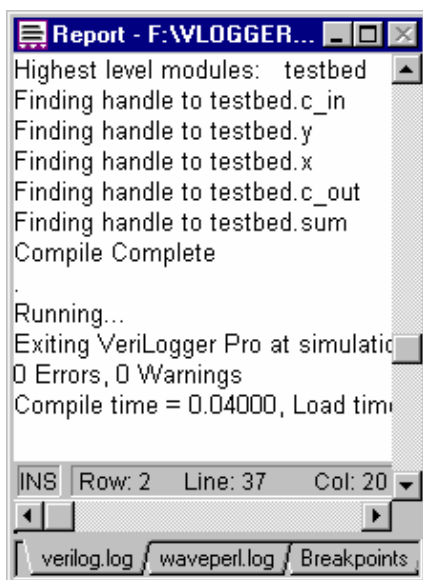
Auffinden von speziellen Textzeilen

Einfügen von Text bzw. HDL-Blöcken

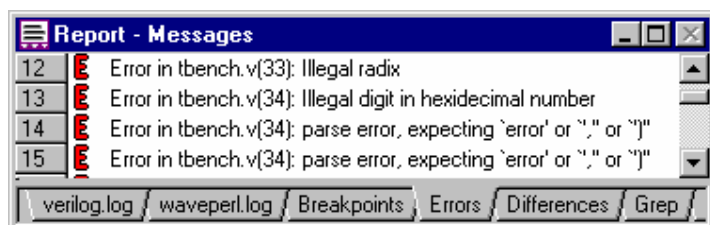
Kontext-sensitives Pop-up Menu

Report Window

Das Report Window ist das geeignete Werkzeug für die Fehlersuche. Es werden verschiedene Registerkarten für die zu verwaltenden Berichte angelegt. Für Simulation und „Debugging“ sind die Reports für aufgetretene Fehler, Haltepunkte und ein allgemeines Logbuch von besonderer Funktionalität.

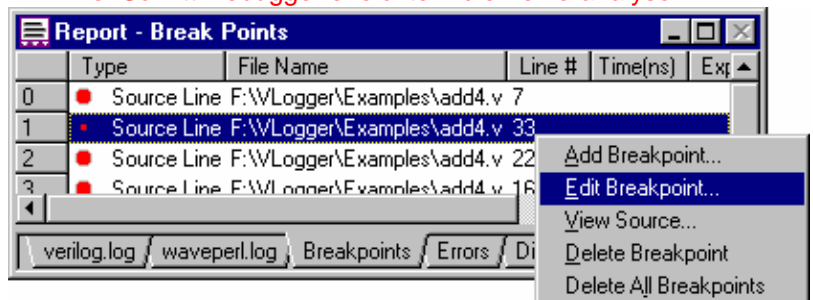


Alle Informationen, die der Simulator beim Kompilieren und Simulieren generiert, werden in dem Logbuch **verilog.log** festgehalten.



Mit einem doppelten Mausklick gelangt man in den Quellcode zu den während der Simulation aufgetretenen **Errors**.

Die **Breakpoints** (Haltepunkte) in Verbindung mit dem Einzel-Schritt-Debugger erleichtern die Fehleranalyse.



Weiterhin befindet sich im Report Window eine während der Simulation erstellte Verilog-Testbench. Diese Testbench enthält ggf. interaktiv „gezeichnete“ Stimulis, so dass eine nachträgliche manuelle Bearbeitung der Testbench entfällt.

Sehr hilfreich ist außerdem ein Bericht zu Signalen, welche miteinander verglichen werden sollen. Die Unterschiede der Signale werden detailliert aufgelistet und im Diagramm Window farblich dargestellt. Man kann die Prüfung der Signale zusätzlich mit Toleranzwerten durchführen.

	Signal Name	Start Time	End Time	Reference State	Compare State
0	data4bit	50.	100.	0010	0101
1	data4bit	100.	100.	0010	0101
2	data4bit	150.	150.016	'hE	n101

Der „Compare“-Befehl im Diagramm Window führt einen Vergleich von Signalen durch. Die Unterschiede sind in dem **Differences Report** aufgelistet.

Simulation Button Bar

VeriLogger Pro hat drei Symbolleisten für die Bedienung der Funktionen. Der Simulation Button Bar definiert wie die Simulation des Verilog-Designs vorstatten gehen soll.

Man kann zwischen zwei Simulationsvarianten wählen. Im „Debug Run“-Mode startet der Anwender die Simulation, wie bei herkömmlichen Verilog-Simulatoren, mit einem Run- oder Single Step-Befehl. Im „Auto Run“-Mode wird nach jeder manuellen Signaländerung im Diagramm Window neu simuliert. Dieser interaktive Mode erlaubt es kleinere Modelle einfach und schnell in „Bottom-Up“-Manier zu testen. Toggle-Button



Kompilieren und Anlegen des Projektes

Starten der Simulation

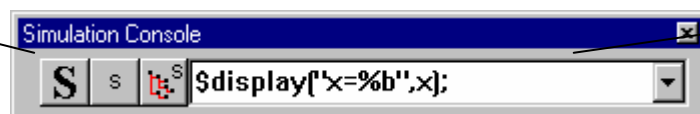
Einzel-Schritt-Steuerungen

Stoppen und Rücksetzen der Simulation

Simulations Console

Weiterhin kann eine interaktive Befehlskonsole zur Steuerung, Beobachtung und Analyse der Simulation verwendet werden. Während eines Simulationslaufs lassen sich Verilogbefehle, wie z.B. \$finish (Simulationskontrolle) oder \$display (Signalbeobachtung) eingeben.

Scope (Modulebene) des Konsolenkommandos



Befehlskonsole

Comparison Button Bar

Für die Steuerung der Simulationsroutinen zum Vergleich von Signalen, verwendet man die Comparison Button Bar. Unterschiede werden im Differences-Report aufgelistet und im Zeitdiagramm farblich gekennzeichnet.

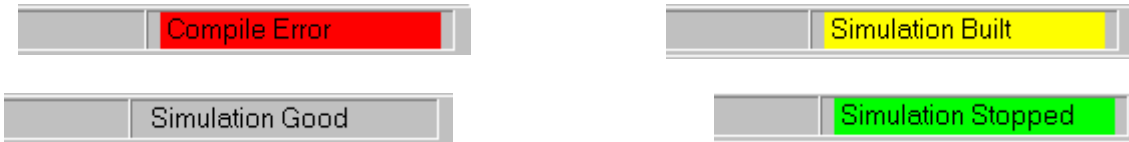
Vergleich der Signale durchführen



Nächste/Vorige Differenz

Status Bar

Der aktuelle Status der Simulation wird jeweils farblich differenziert in der Statusleiste des VeriLoggers gemeldet. Der Anwender kann somit umgehend auf die selbsterklärenden Meldungen reagieren.



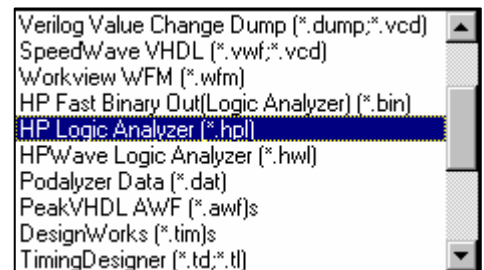
VeriLogger Pro Highlights

- IEEE 1364 kompatibel
- Volle Implementierung der Behavioral- und RTL-Simulationsebenen
- Unterstützung von UDPs, Spezifizierte Blöcke, Zeitskalierungen, built-in-primitives, PLI, SDF
- Integrierter Editor mit farblicher Anzeige syntaktischer Wörter
- Integriertes Waveform-Fenster
- Schnelle interpretierte Simulationsläufe
- Interaktive Arbeitsumgebung
- Einzel-Schritt-Debugger
- Hierarchischer Projektmanager
- Interaktives Waveform-Fenster
- Geringer Bedarf an Arbeitsspeicher und Festplatte

Import / Export

Der VeriLogger kann neben dem Standard von Verilog VCD-Dateien zahlreiche weitere Datenformate einlesen. Die Simulationsergebnisse verschiedenster (ViewLogic, Protel,..) Simulatoren sind genauso, wie aufgezeichnete Werte von Logikanalysatoren (Agilent, Tektronix) zu importieren.

Alle im VeriLogger dargestellten Signale lassen sich als Testvektoren in VCD-Standard, Verilog, VHDL, ABEL, STIL, SPICE, Simulator- und Patterngenerator-Formaten ausgeben.



Zeichnen und Editieren von Signalen

Der VeriLogger hat all die interaktiven Funktionen zum Zeichnen, Editieren, Analysieren und Dokumentieren, die auch der WaveFormer besitzt.

- OLE Optional
- Realistische Datenbuchdokumentation
- MIF Framemaker, EPS, WMF, CGM, TIFF, Copy-to-Clipboard
- Interaktiver boolescher Simulator
- Analoge Signalformen

Demosoftware und Informationen gibt es wie immer bei **databit** direkt

....oder im Internet unter www.databit.de/eda/syncad_alle.htm