

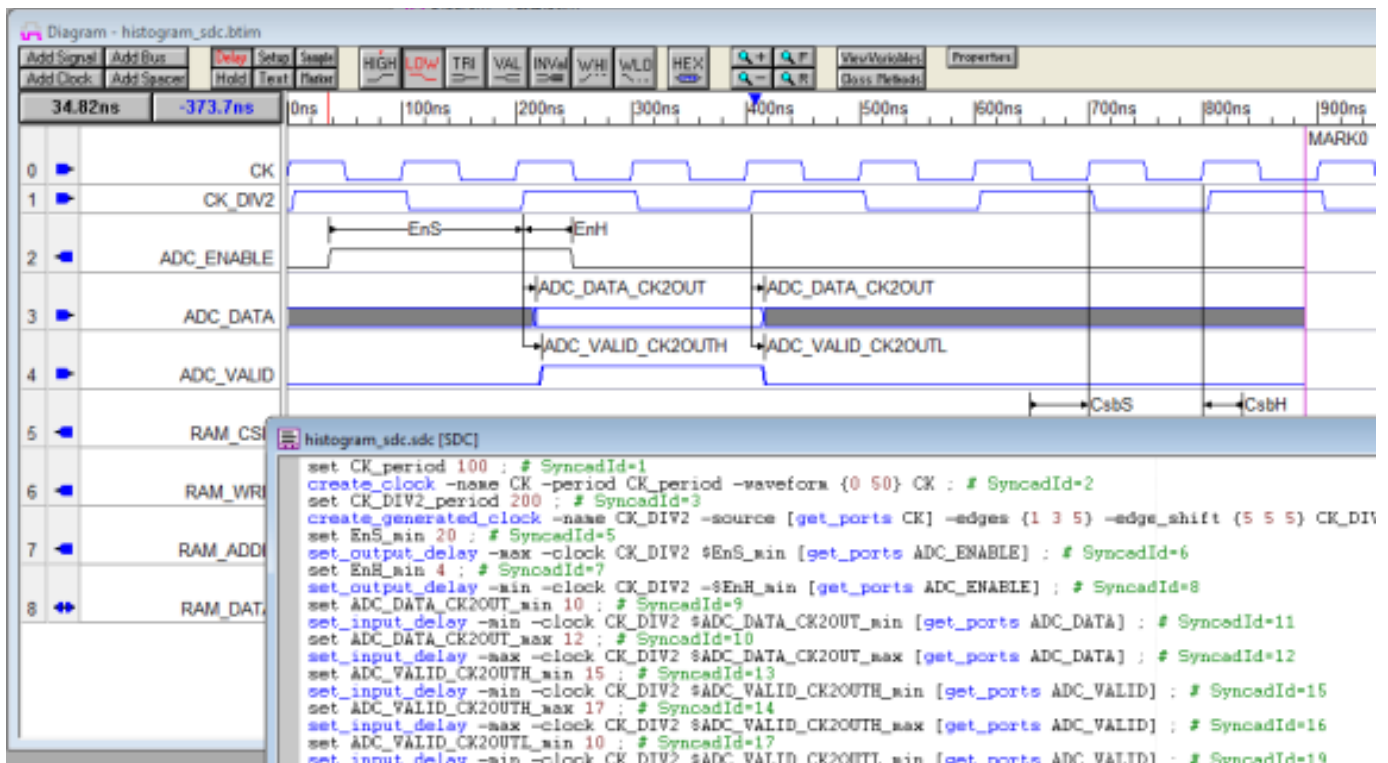
WaveFormer Pro

.... designen auf die clevere Art

Mit **WaveFormer Pro** wird die FPGA Synthesis jetzt einfacher

Zuerst wird ein Timing Diagramm erstellt oder importiert, welches die z. B. Interfaces zwischen dem FPGA und den externen Logik ICs darstellen kann. In diesem Timing Diagramm werden die Clock Frequenzen, die Verzögerungszeiten der Signale zueinander und die erforderlichen Setup- und Hold-Zeiten der externen Logik Bauteile definiert – also ein ganz normales Timing Diagramm.

Das Timing Diagramm dient als Datenbasis zur automatischen Erstellung einer oder mehrerer SDC Dateien durch **WaveFormer Pro** einschließlich der erforderlichen SDC Anweisungen. Diese automatisch aus dem Timing Diagramm erstellte SDC Datei oder Dateien können den unterschiedlichen Synthese Tools zugeführt werden.



Mit **WaveFormer Pro** kann der Anwender auch SDC Constraints in Timing Dateien von Simulatoren oder von Logik Analysatoren zur weiteren Verarbeitung eintragen. In die importierten Timing Diagramme trägt der Anwender dann die Bedingungen zwischen den Clocks und den IO-Ports ein um dann SDC Constraints zu generieren.

Mit der heutigen Version von **WaveFormer Pro** und **DataSheet Pro** kann der Anwender Synopsys Design Constraints (SDC) Dateien aus Timing Diagrammen automatisch erstellen. Bei

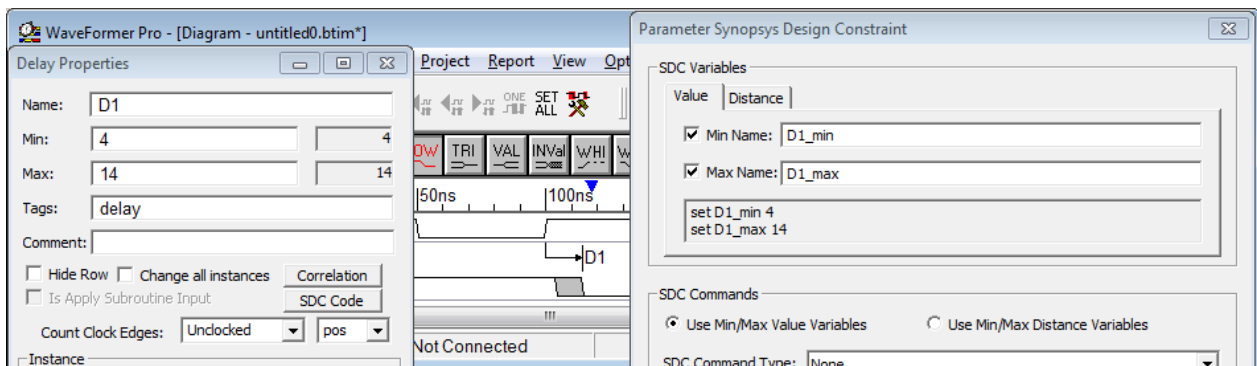
Einsatz der Kombination von **WaveFormer Pro** und **Reactive Testbencher** können mehrere SDC Dateien zu einer Datei zusammengelinkt werden.

Synopsys Design Constraint Dateien beinhalten Design Regeln für die Timing Performance für Synthese Tools, die Verilog Code und VHDL RTL Code verarbeiten. Der zu verarbeitende RTL Code beschreibt die gewünschte Logik Funktion eines Designs und die SDC Datei beinhaltet die erforderlichen Timing Regeln.

Mit **WaveFormer Pro** ist das Entwickeln einer SDS Datei sehr einfach:

1. SDC Befehle werden aus den Timing Parametern eines Timing Diagrammes generiert.
2. SDC Befehle können editiert werden.

Aus Verzögerungszeiten, Setups, Holds und Clocks kann SDC Code generiert werden.



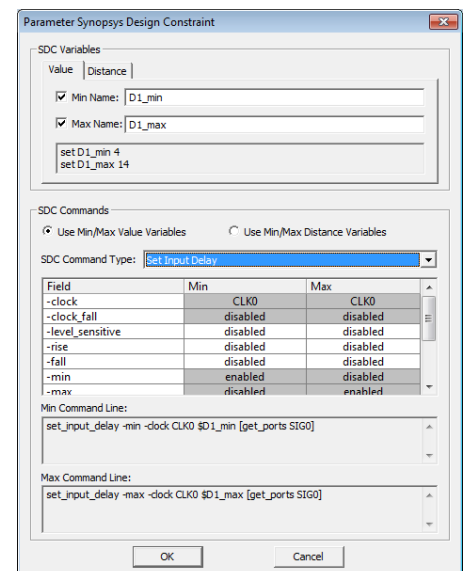
Mit einem Doppelklick auf dem Delay, Setup, Hold oder einem Clock-Signal im Timing Diagramm kommt man zu den Properties. Hier ist jetzt eine SDC Code Befehlsschaltfläche. Die Optionen der SDC Anweisungen können enabled oder disabled werden. Beim Speichern des Timing Diagrammes als .btim Datei wird gleichzeitig eine SDC Datei mit der Endung .sdc im selben Directory ohne zusätzlich Handlung gespeichert.

Das SDC Parameter Fenster hat zur Definition der Typen der SDC Anweisungen eine Drop-Down Liste. Nach der Auswahl des Typs der SDC Anweisung erscheint das nebenstehende Fenster.

In den weißen Feldern kann enabled oder disabled eingestellt werden.

Die grauen Felder sind vom Anwender nicht editierbar, die werden von der Software gefüllt.

Für besonderen Komfort sind Tooltips mit der Mouse im Hover over Verfahren abrufbar.



Mit **WaveFormer Pro** kann der Anwender ebenfalls bereits manuell erstellte SDC Dateien editieren. SDC Befehle können „gelinkt“ werden, so dass manuell geschriebene SDC Dateien und automatisch generierte SDC Dateien verwendet werden können.

WaveFormer Pro hat auch einen Text Editor mit color-syntax highlighting für alle SDC Befehle.

Mehr Details sind ausführlich in Chapter 13 SDC Support des Timing Diagram Editors Manuals beschrieben.

Zum Testen der Software schicken wir Ihnen gern eine Test-Lizenz mit vollem Leistungsumfang für HOST=ANY, d.h. die Software kann dann auf jedem PC getestet werden.

Weitere Infos:

- Mit dem kostenlosen WaveViewer zeigen Sie die Inhalte von VCD-Dateien und anderen Formaten an,
- WaveFormer Pro ermöglicht Ihnen u. a. die Darstellung von Signalen aufgrund von Booleschen Formeln oder aufgrund von HDL Code als Basis – bei Verwendung von VHDL Code braucht WaveFormer Pro einen Zugriff auf eine VHDL Simulations-Software,
- beim Einsatz von WaveFormer Pro mit BugHunter Pro können Sie komplette Timing Diagramme aufgrund von HDL Code zur Anzeige bringen – bei Verwendung von VHDL Code braucht WaveFormer Pro auch hier einen Zugriff auf eine VHDL Simulations-Software,
- bereits mit WaveFormer Pro können Sie aus einem HDL Code (VHDL s. o.) automatisch die Ports extrahieren und dann nach dem Eintrag von Signal Situationen eine Simulation ausführen,
- mit TestBencher Pro extrahieren Sie ebenfalls automatisch die Ports aus einem HDL Code (VHDL s. o.) und entwickeln dann für eine Simulation eine Vielzahl von Transaktionen, die dann in bestimmter Reihenfolge simuliert werden. Das Simulations-Ergebnis wird in TestBencher Pro in Form eines Diagramms angezeigt.

Sie sehen, die Tools für Dokumentations- und Simulations-Arbeitsplätze sind sehr vielseitig nutzbar. Simulationen sind von sehr granular bis sehr komplex komfortabel mit einer sehr übersichtlichen grafischen Oberfläche ausführbar.

Im Web finden Sie Information zum Thema Testbench Entwicklung unter <http://www.databit.de/eda/testbencher.htm>

Weitere Informationen und Updates finden Sie im Web:
<http://www.databit.de/eda/synapticad.htm>,
http://www.databit.de/news/eda_news.htm

Hier finden Sie auch einen Link zum Downloaden der Software. In der ca. 130 MB Datei sind alle Funktionen enthalten – der nutzbare Leistungsumfang wird durch die Lizenzdatei definiert. Dies ist keine Produkt-Spezifikation, sondern eine Info – Irrtümer vorbehalten.