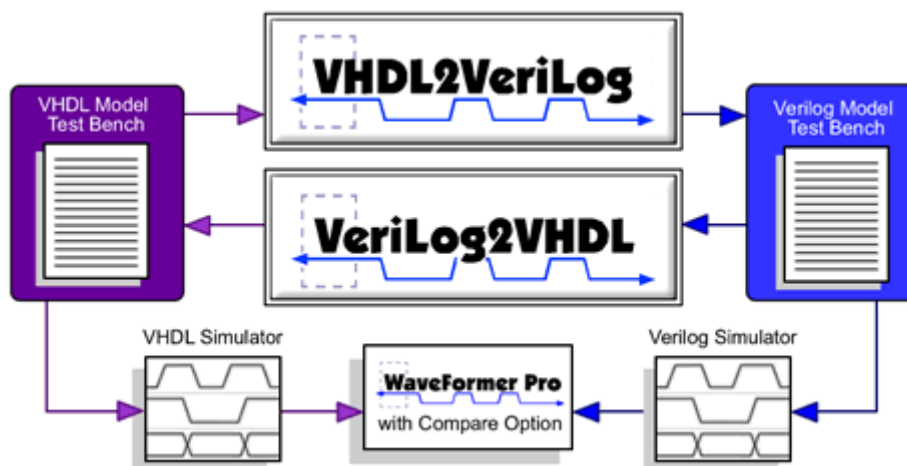
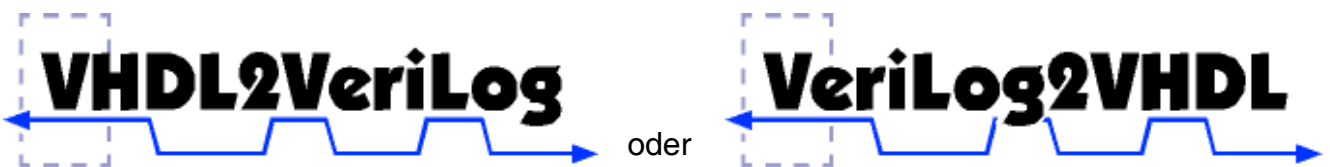


## V2V

### Verilog-to-VHDL und VHDL-to-Verilog Converter



Bestimmt arbeiten Sie hauptsächlich mit einer in Ihrem Haus bevorzugten HDL – in Deutschland meistens mit VHDL. Wenn Sie irgendwann von einem Geschäftspartner eine Verilog Datei erhalten, kann es mühselig sein, diese zu übersetzen oder dieselben Funktionen in VHDL nochmals zu schreiben. Mit unseren Convertern erleichtern wir Ihnen diese Arbeit – egal zu welcher der beiden HDLs Sie konvertieren müssen.

Bei vielen Anwendern kommen HDL Konvertierungen nicht 360 Tage im Jahr vor, sondern nur einige Male pro Jahr in unregelmäßigen Abständen. Das Lizenzierungsmodell berücksichtigt solche Situationen mit Lizenzlaufzeiten von einem Tag in Abstufungen bis permanent. Alternative bieten wir Ihnen auch gern HDL Konvertierungen als Dienstleistung an.



oder

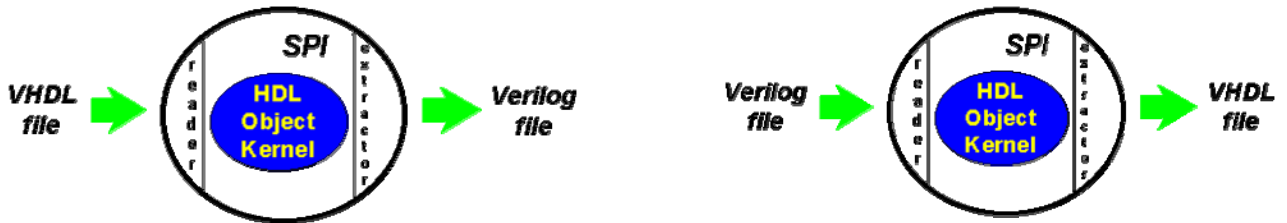


übersetzt hierarchische IEEE Standard 1076-87 und 93 VHDL zu Verilog HDL. Alle strukturellen VHDL Konstrukte und auch eine Vielzahl von RTL VHDL Konstrukten. Der generierte Verilog Code hat äquivalente Funktionen wie der Original VHDL Code infolge des one-to-one Mappings der Converter Software.

Ein Syntax- und Semantic-Checking der VHDL Inputs wird ständig während der Code Übersetzung vorgenommen. Der übersetzte Verilog Code ist mit jedem Verilog-X Simulator kompatibel.

Übersetzt Verilog HDL zu IEEE Standard 1076 VHDL. Der Converter übersetzt die meisten synthetisierbaren Konstrukte wie in Verilog LRM Version 2 spezifiziert und der Converter übersetzt auch nicht synthetisierbare Verhaltens Modelle.

Der übersetzte VHDL Code ist mit jedem 1076 kompatiblen Simulator simulierbar und kann für alle Synthese Tools optimiert werden..



Zum besseren Verständnis der Funktion der Übersetzungstools in der Praxis haben wir auf der Vorderseite ein Blockbild gezeigt. In dem Blockbild sind mehrere Mitglieder unserer Software Familie für HDL Arbeitsumgebungen abgebildet.

## Die HDL Converter

sind unter Programme -> SynaptiCAD -> verlog2vhdl command line und natürlich auch entsprechend für die andere Richtung aufrufbar. Für Ihre Arbeit bieten sich so Batchaufrufe an.

```

C:\ verilog2vhdl command line
d:\SynaptiCAD\bin>verilog2vhdl
Usage: verilog2vhdl input_file [OutputFile] [options] [-Help] [-Usage] [-Version]
]
where option can be one or all of
[-Replace] [-Silent] [-No_Package] [-No_Extract_comments]
[-Environment <Mentor!Synopsys!Generic>] [-Package <HDL files>] [-Log <logfile_name>] [-87!-93]
[-No_Component_Check] [-SYNTH] [-Map_Regs_to_Variables] [-No_Zero_wait]
[-Make_Defines_Constants] [-Make_Parameters_Constants] [-Reserved_Identifier_Prefix <prefix string>]
[-Reserved_Identifier_Suffix <suffix string>] [-Preserve_Order]
[-Verilog_PreProcessing] [-Architecture_Name] [-No_Header]
[+incdir+<dir>] [+<dir>]] [-No_Verilog_PreProcessing]

d:\SynaptiCAD\bin>cmd
Microsoft Windows XP [Version 5.1.2600]
(C) Copyright 1985-2001 Microsoft Corp.

d:\SynaptiCAD\bin>_
  
```

## Die GUI für die HDL Converter

Vielleicht kennen Sie unsere Maxime für die Erstellung von Stimulie und komplette Testbenches Software mit einer grafischen Oberfläche zu nehmen – nämlich WaveFormer Pro und TestBencher Pro. Natürlich bieten wir Ihnen auch für HDL Konvertierungen eine grafische Oberfläche an: **BugHunter Pro**. Damit erhalten Sie eine sehr mächtige Software Kombination für komfortables Arbeiten. Komfort bedeutet hier auch schnelleres Arbeiten mit Umgehung von Fehlerquellen

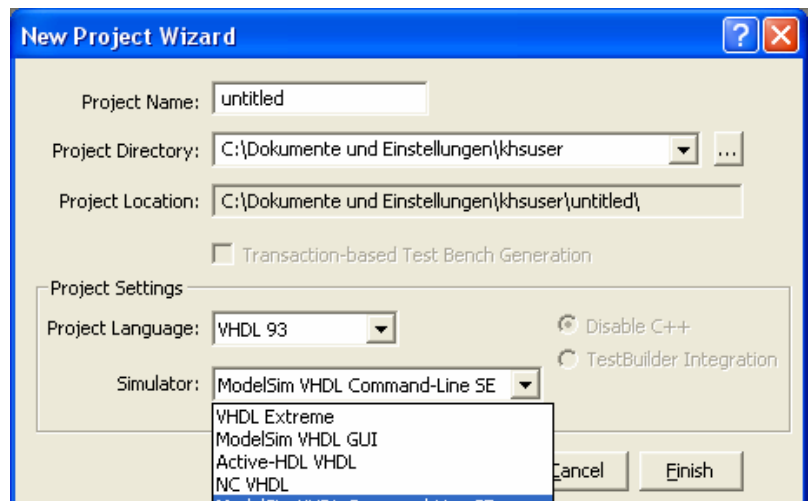
Original VHDL Source      Translated Verilog File      Compile and Simulate Translated File

**Launch Translators from GUI**      **Click and Zoom to Errors**      **Graphically Create Test Bench Stimulus**

## BugHunter Pro

arbeitet mit Software von vielen Herstellern zusammen:

- mit unseren Convertern und Simulatoren,
- Modelsim VHDL Command Line SE
- Modelsim VHDL Command Line XE, PE
- VHDL to Verilog.
- Modelsim Verilog Command Line
- Modelsim Verilog GUI,
- Verilog-XL,
- Active-HDL Verilog,
- NC Verilog



Mit BugHunter Pro können Sie die V2V Converter komfortabel bedienen, Fehler im generierten Code wie auch im Original Code beseitigen, den übersetzten Code mit einem „angeschlossenen“ Simulator Ihrer Wahl

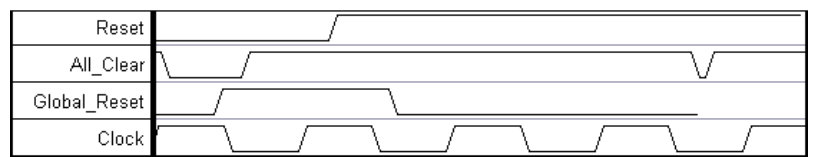
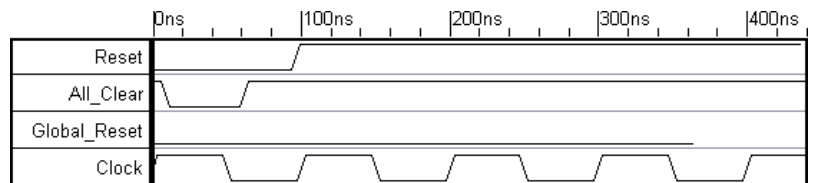
verifizieren und sprachunabhängige Testbenches entwickeln, um die Funktionen des generierten Codes mit denen des Original Codes zu vergleichen.

Die Kombination aus V2V und BugHunter Pro gibt Ihnen einen sehr effektiven Arbeitsplatz für HDL Convertierungen.

Mit weiteren Tools können Sie Ihren Arbeitsplatz für diese Zwecke optimieren. Im Blockbild auf der Vorderseite wird

**WaveFormer Pro** mit der **Option Compare** gezeigt.

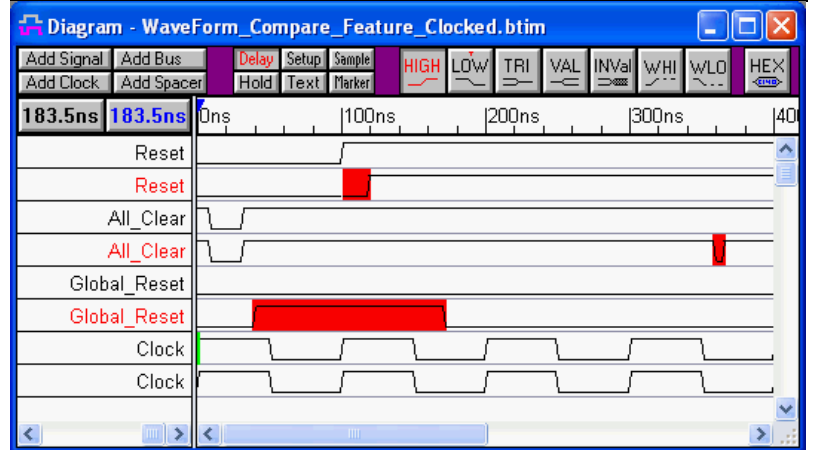
Dies ist eine Methode die Signale der Original Datei mit denen der übersetzten Datei visuell zu vergleichen – natürlich können Sie der besseren Übersichtlichkeit wegen auch nur ausgewählte Signale vergleichen.



Die Option Compare ist sehr gut brauchbar, um die Ergebnisse von mehreren Simulationen und von Convertierungen zu vergleichen oder Unterschiede von Logikanalyser- und Simulations-Daten schnell und einfach zu ermitteln.

Um den Vergleich nicht mit uninteressanten kleinen Differenzen zu überladen, ist ein Filter für kleine Differenz-Zeiten setzbar.

Einen tabellarischen Report gibt es für die Option Compare auch.



Hier sehen Sie, die Software erstellt viele Berichte.

Signal Name	Start Time	End Time	Reference State	Compare State
0 Global_Reset	39	171	0	1
1 Reset	100	119	1	0

**WaveFormer Pro** nehmen Sie,

- wenn Sie mit HDLs (VHDL, Verilog) arbeiten,
- wenn Sie Simulated Signals brauchen, d.h. Signale von einander mit Booleschen Verknüpfungen oder mit HDL Skripten ableiten wollen,
- wenn Sie Daten von Simulationen (VCD) , Spice, HSPICE oder Oscilloscopen importieren und darstellen sowie verändern wollen,
- wenn Sie die Timing Diagramme als Stimulie in Simulationen verwenden wollen, also die Daten als VHDL- oder Verilog Code exportieren wollen,
- wenn Sie die Daten der Timing Diagramme mit Pattern Generatoren weiter nutzen wollen.

**TestBencher Pro** nehmen Sie, wenn Sie mehr Komfort bei der Entwicklung Ihrer Testbenches haben wollen.