

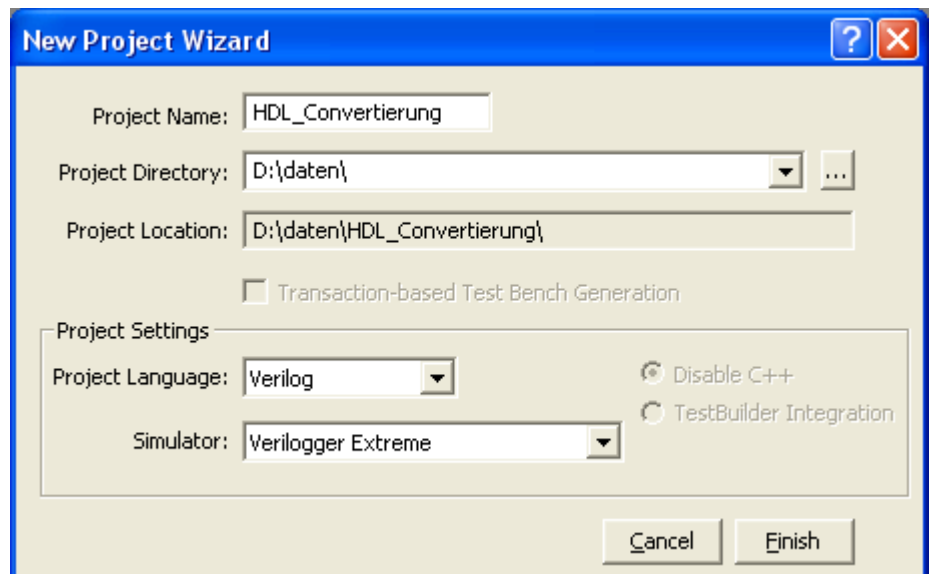
BugHunter Pro als GUI für HDL Converter

BugHunter Pro liefern wir Ihnen stand-alone als ein sehr produktives und flexibles Debugging Tool, als Bestandteil der Simulatoren VeriLogger Pro und VeriLogger Extrem – nämlich als deren GUI - , als GUI für die HDL Converter V2V, wegen der umfangreichen Funktionen als Bestandteil von TestBencher Pro und als Option zum

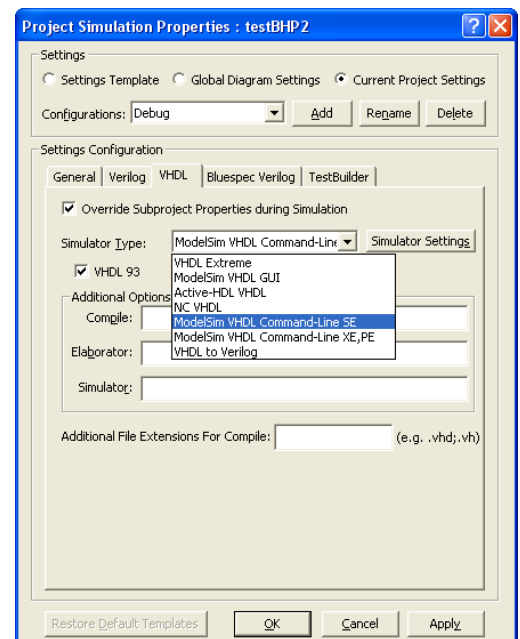
WaveFormer Pro. Für WaveFormer Pro Anwender besteht damit die Möglichkeit komplexen HDL Code (C++, Verilog und VHDL) zu visualisieren und die Timing Diagramme in WaveFormer Pro weiter zu verwenden.

BugHunter Pro ist also eine sehr universell einsetzbare GUI.

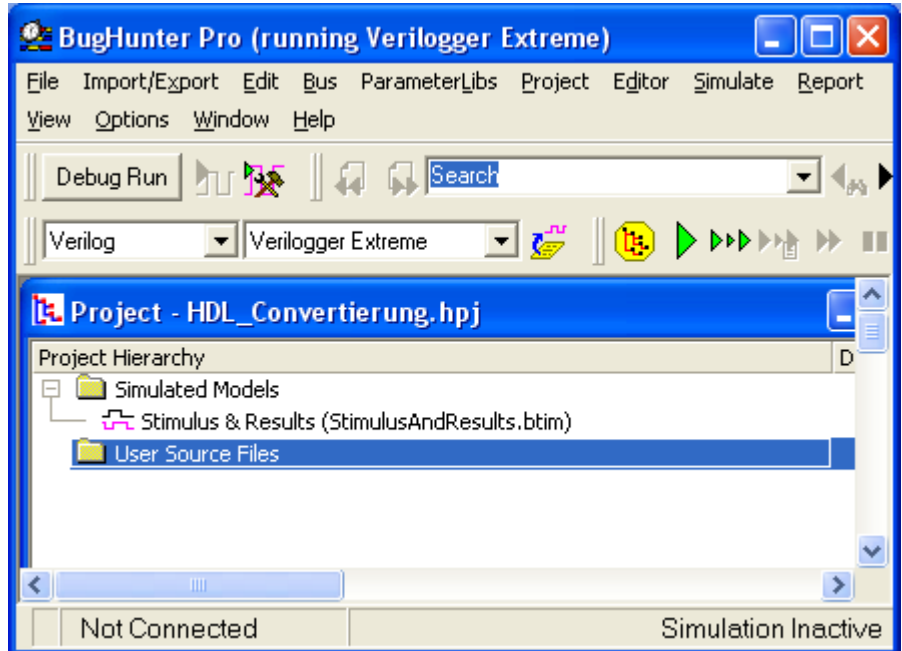
HDL Convertierungen – VHDL-to-Verilog oder Verilog-to-VHDL – werden bei Nutzung von BugHunter Pro als GUI mit einem Projekt ausgeführt. Hier werden die Grundeinstellungen wie Speicherort, verwendete HDL und eventuell verwendeten Simulator eingestellt. In diesem Beispiel wird der zum eigenen Toolset gehörende Verilog Simulator VeriLogger Extrem verwendet.



Wenn Sie einen anderen Simulator haben, so können Sie den natürlich auch verwenden. Zur Convertierung benötigen Sie keinen Simulator, aber zum Verifizieren des convertierten HDL-Codes können Simulatoren gut eingesetzt werden.

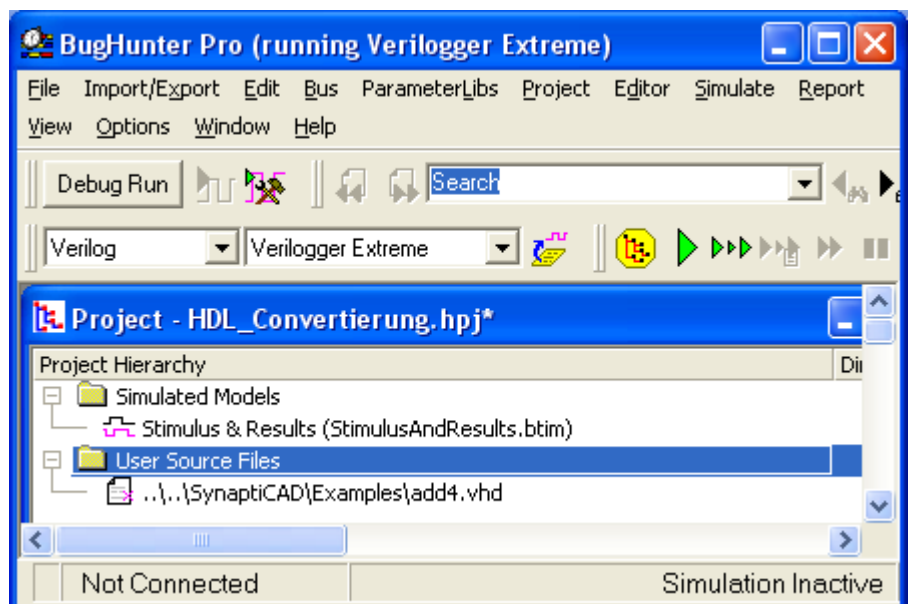


Nachdem Sie das Projekt mit den unterschiedlichen Einstellungsmöglichkeiten definiert haben, erscheint in BugHunter Pro das Projektfenster.

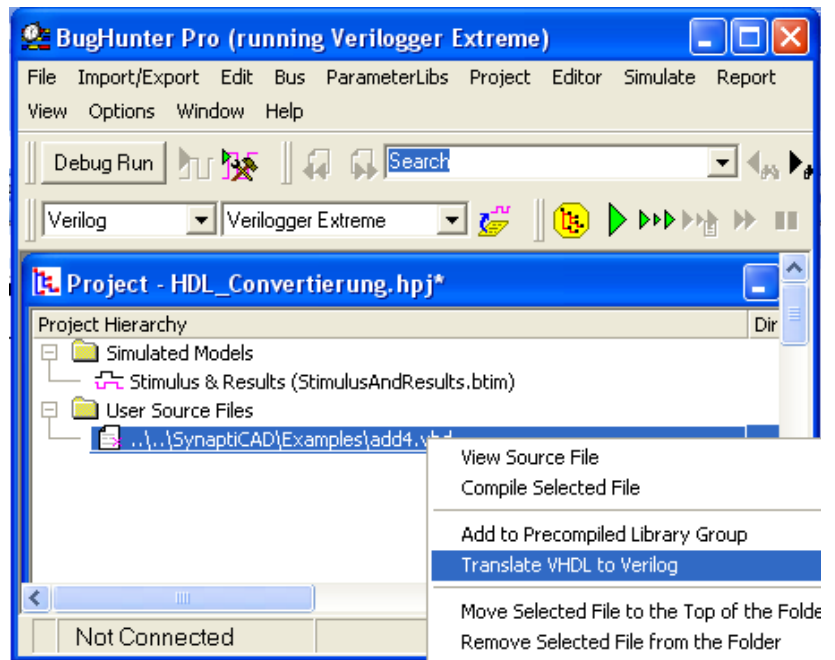


Ähnlich wie beim TestBench Pro ist jetzt der Moment gekommen, die zu konvertierenden HDL Dateien in das Projekt aufzunehmen, unter „User Source Files“ einzuordnen: Mit der rechten Maustaste über „User Source Files“ „Add HDL Files to Source File Folder“ – oder Copy.

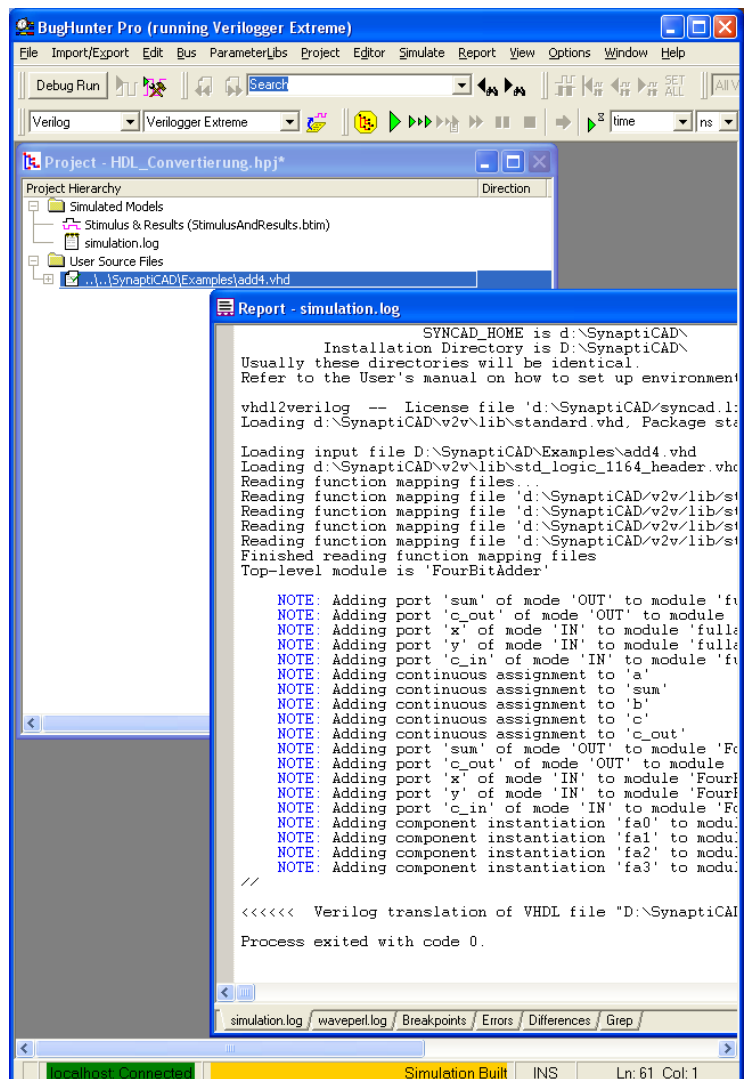
In diesem Beispiel wird eine mitgelieferte VHDL Datei aus dem Ordner Examples benutzt.



Zum Konvertieren wieder die rechte Maustaste über der zu konvertierenden Datei und „Translate VHDL to Verilog“ auswählen. Bei dieser Datei geht's dann rasend schnell...

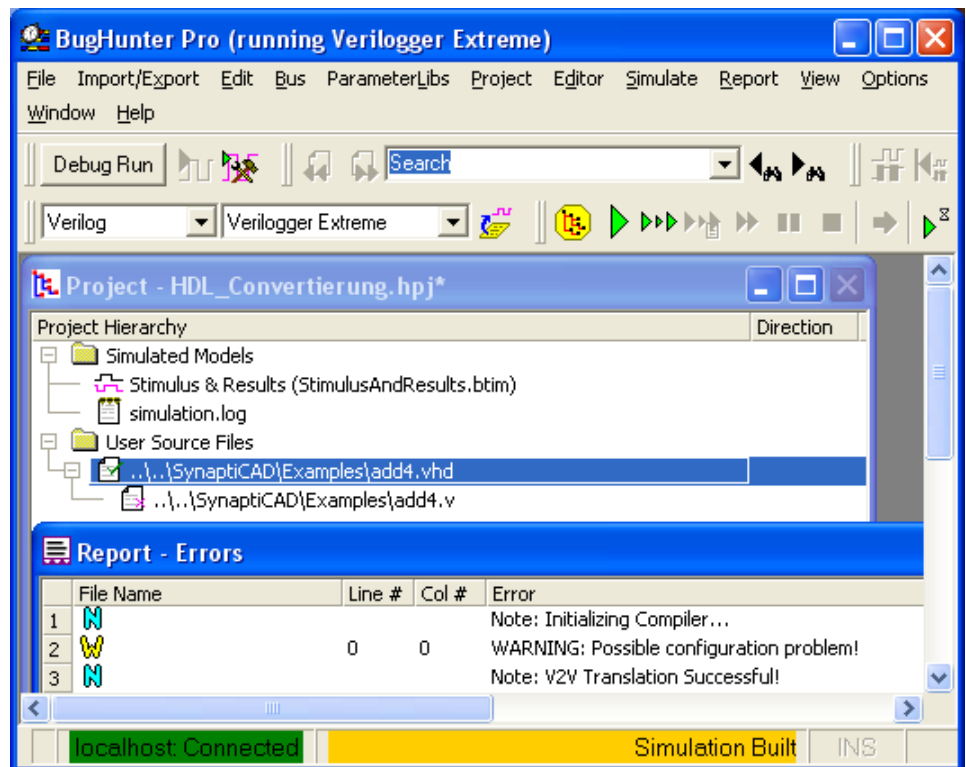


Das Report Fenster zeigt Ihnen nach der Konvertierung sofort ein simulation.log

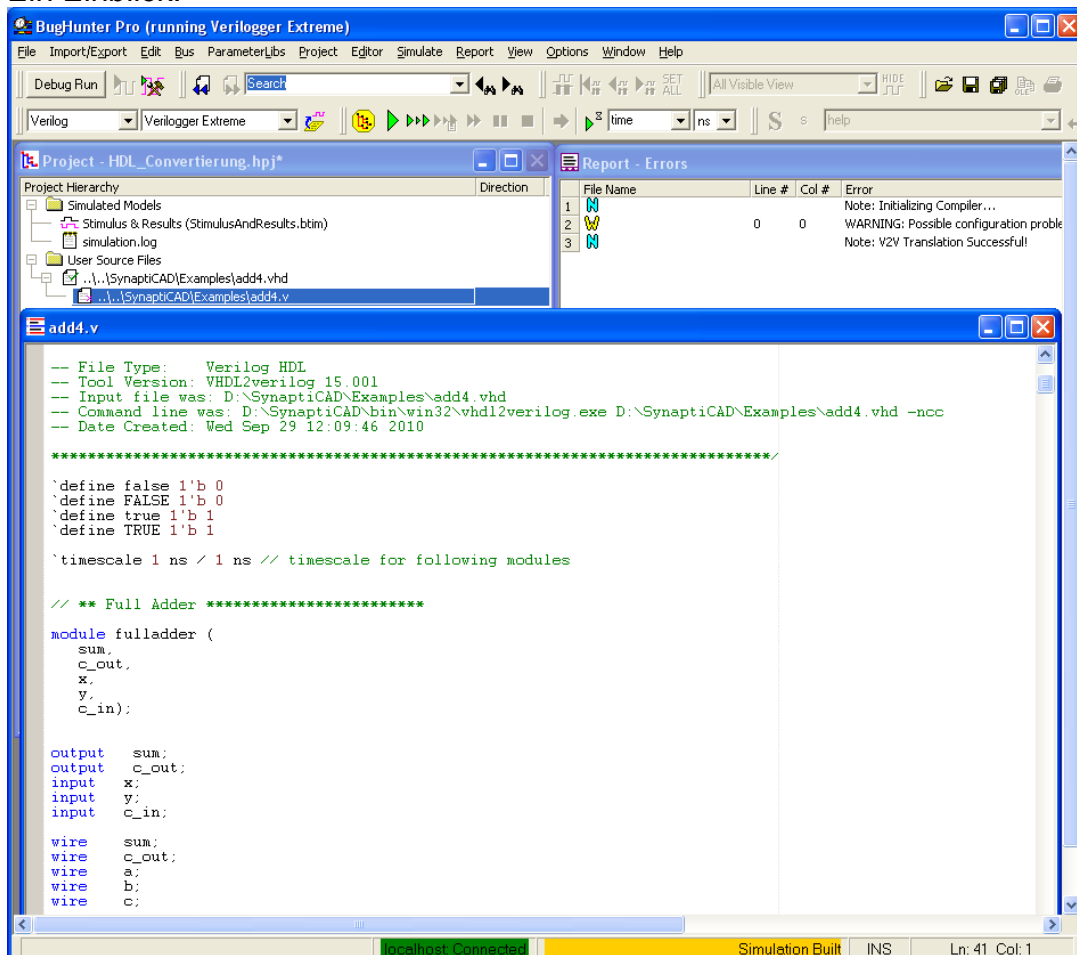


Unter dem Reiter „Errors“ des Report Fensters werden Ihnen auch die Fehler angezeigt – hier keine...

Die nach Verilog übersetzte Datei finden Sie im Projekt Baum direkt unter der VHDL-Quell Datei.

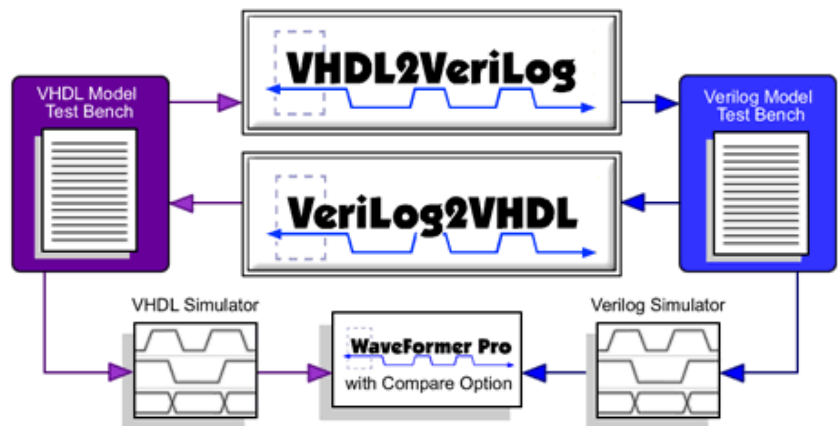


Ein Einblick:



Vermutlich werden Sie die Konvertierung verifizieren wollen.

Eine bewährte Methode ist, die Original HDL-Datei und die übersetzte HDL-Datei als MUT einer Simulation unter identischen Bedingungen, d. h. mit identischen Stimulie zu simulieren und dann die Simulations Ergebnisse zu vergleichen.



Wir empfehlen WaveFormer Pro mit der Option Compare.

Mit WaveFormer Pro entwickeln Sie mit einer übersichtlichen grafischen Oberfläche die Stimulie – nächst HDL-sprachunabhängig. Die grafisch dargestellten Transaktionen speichern Sie mit WaveFormer Pro als VHDL-Code und auch als Verilog Code. Eine bessere Methode identische Stimulie zu entwickeln kennen wir nicht.

Die Simulations Ergebnisse der VHDL- und Verilog-Simulatoren importieren Sie dann als VCD Datei wieder in WaveFormer Pro. Mit der Option Compare werden Ihnen die Unterschiede der Simulationsergebnisse übersichtlich grafisch angezeigt – bei einer guten Konvertieren eben keine...

Beispiel einer Transaktion:
Schreibvorgang von Daten in ein RAM unter Verwendung von Variablen für die Adresse wie auch für die Daten.

Diese Abbildung zeigt TestBencher Pro.

