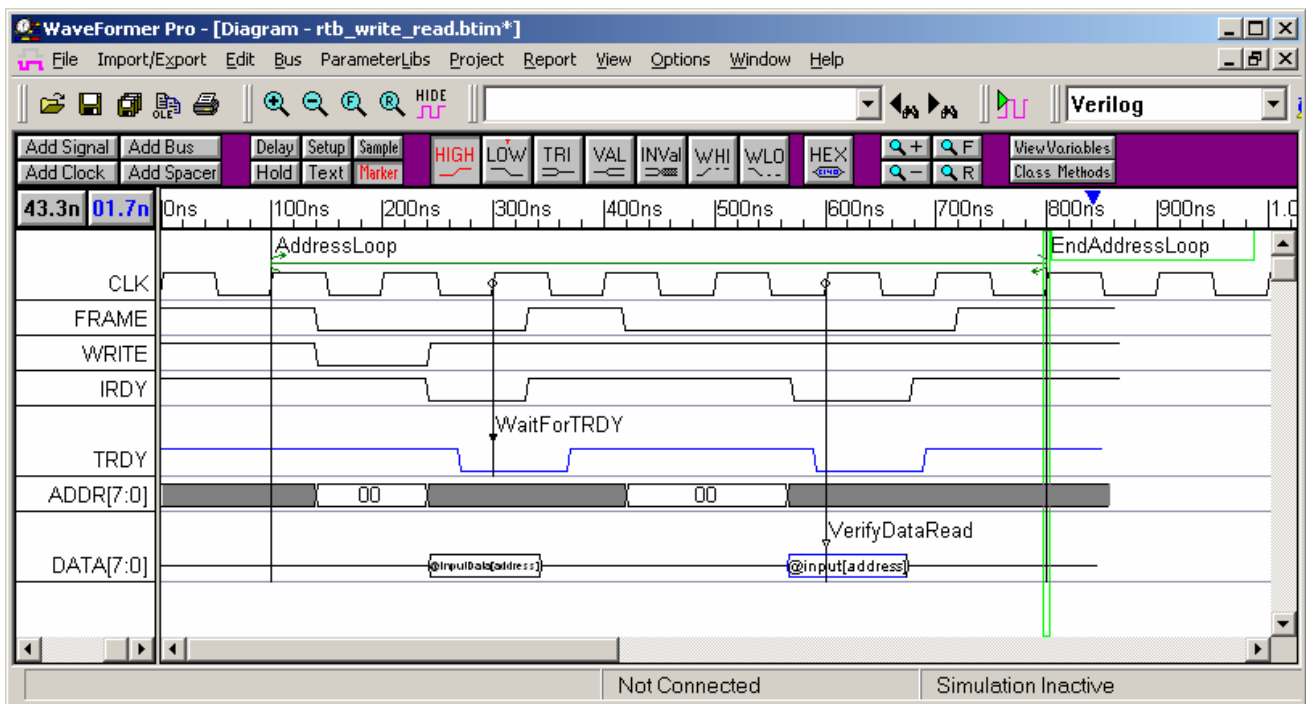


# WaveFormer Pro mit der Option Reactive TestBench

.... Testbench-Entwicklung auf die clevere Art

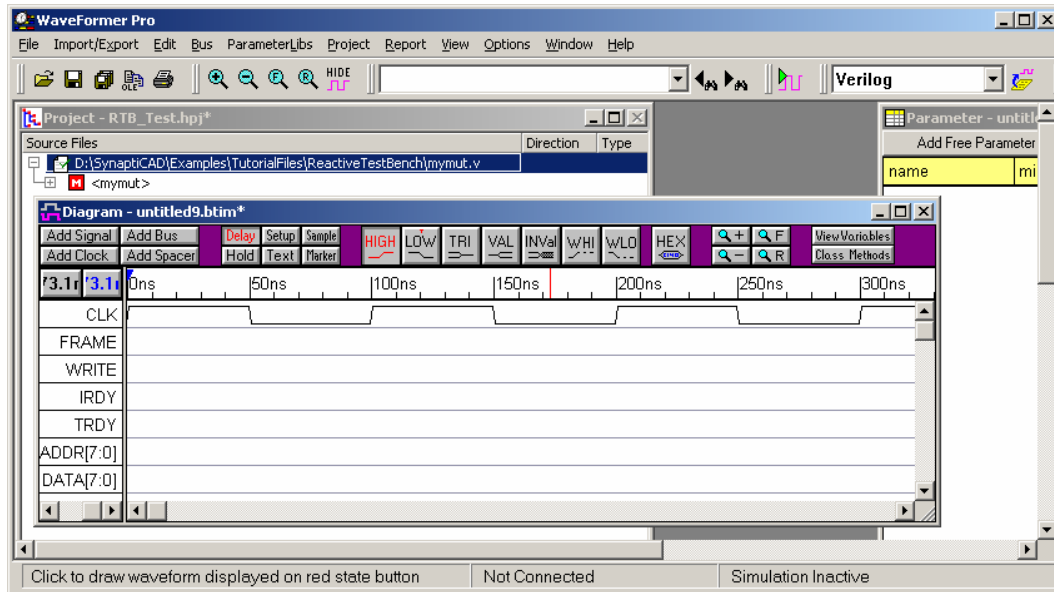


Der übersichtliche Weg zur Entwicklung von Testbenches für Simulationen in der HDL Ihrer Wahl.

Die neuen und verbesserten Funktionen von TimingDiagrammer Pro Version 11 finden Sie alle auch im WaveFormer Pro Version 11. Die grundsätzlichen Funktionen von WaveFormer Pro erklären wir in einem anderen Dokument.

Mit der Option Reactive TestBench erhalten Sie einige Funktionen aus dem Leistungsspektrum von TestBench Pro zu einem wesentlich niedrigeren Preis.

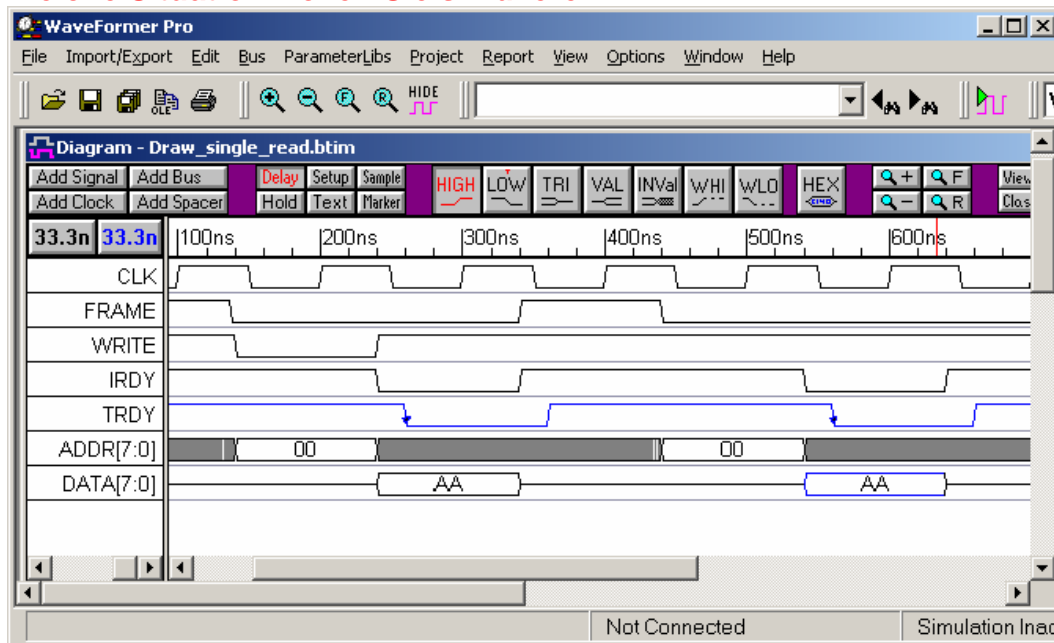
### Erste Schritte



Reactive TestBench arbeitet wie TestBench Pro mit einem Projekt-Fenster in welches das MUT geladen wird.

Reactive TestBench extrahiert die Ports aus dem MUT und erkennt auch die Clock – eine Funktion aus TestBench Pro.

### Welche Situation wollen Sie simulieren ?



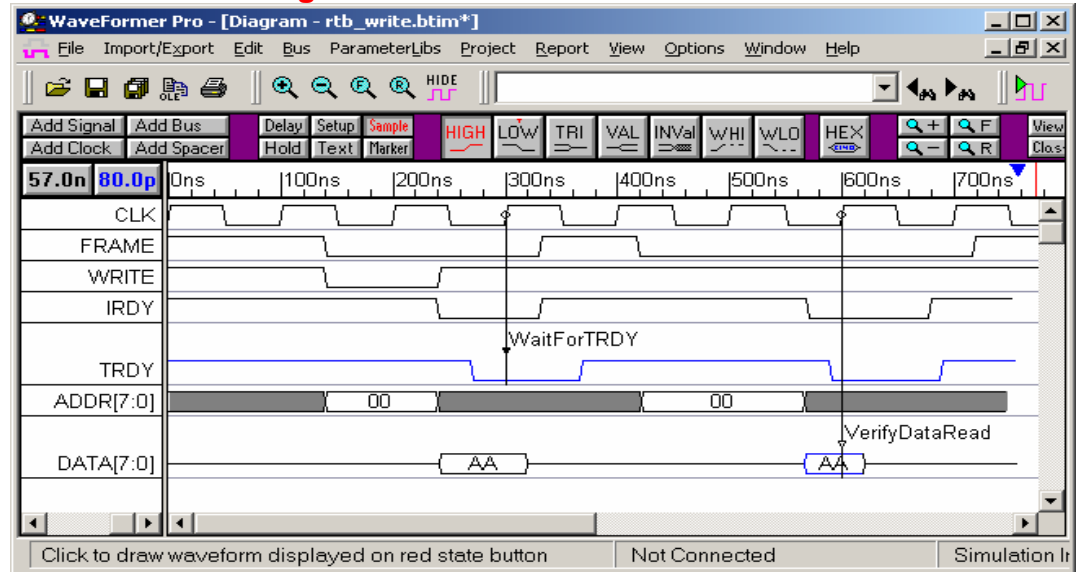
Diese Frage muss der Anwender beantworten und kann dann schön übersichtlich das entsprechende Timing-Diagramm erstellen.

Dabei fällt das blaue Signal TRDY auf: Die Software weiß aus der Extraktion aus dem MUT, dass dieses Signal aus der Perspektive der Simulation ein Input-Signal ist

**Welche Information soll die Simulation geben ?**

Das kann der Anwender mit einem Sample abfragen lassen.

Hier wird geprüft, ob die geschriebenen Daten korrekt auslesbar sind – das Datensegment ist beim Lesevorgang wieder ein Input-Signal und deshalb blau.

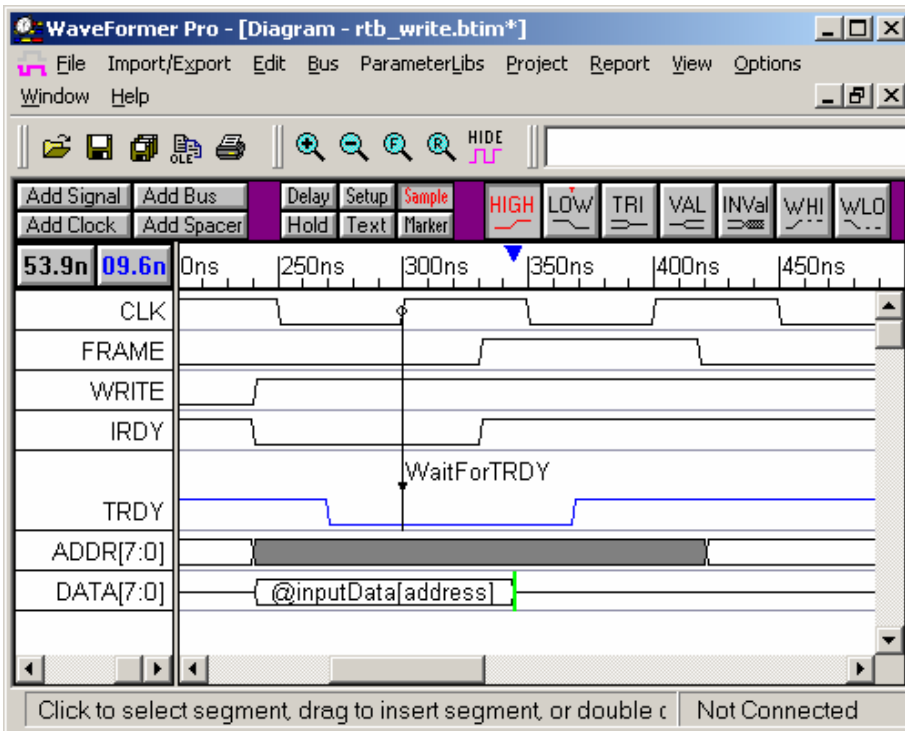


**Und dann ?**

Aufgrund des Ergebnisses des Samples kann die gesamte Simulation interaktiv gesteuert werden.

Die Auswertung für beide Fälle – nämlich ob der ermittelte Dateninhalt der Erwartung entspricht oder auch nicht – kann sehr komplex erfolgen.

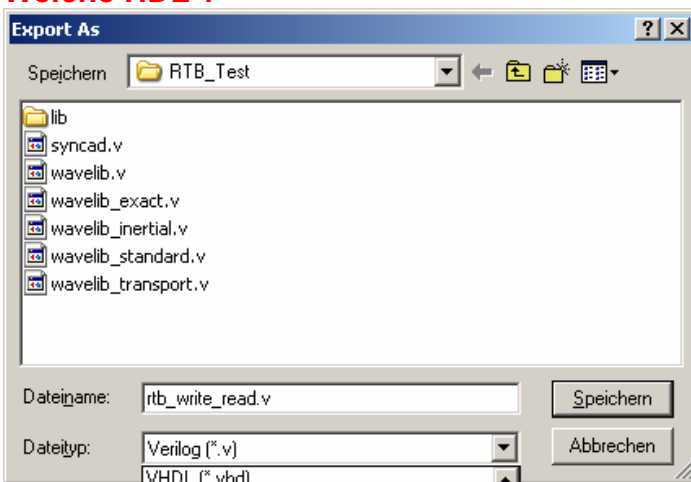
## Die flexible Variante



Bus-Sample können die im Diagramm eingetragenen Werte abfragen – Variable dürfen Sie auch benutzen.

Noch mehr Flexibilität erreichen Sie, wenn Sie Bus-Werte aus externen Dateien füttern – für Schreib- und auch für Lese-Transaktionen. Sie wollen ja wissen was aus der adressierten Zelle gelesen wird. Mit Daten aus einer externen Datei ist dasselbe Timing Diagramm zur Simulation ohne Änderungen im Diagramm für unterschiedliche Simulationen brauchbar.

## Welche HDL ?



Das bestimmt wieder der Anwender. Die Fragen ist nicht, ob Sie mit Verilog oder VHDL arbeiten wollen. WaveFormer Pro exportiert Ihnen jedes Timing Diagramm in der HDL Ihrer Wahl.

Das Timing Diagramm ist sprachunabhängig und kann somit für unterschiedliche HDL Simulationen ohne zusätzlichen Aufwand verwendet werden.

```
// Generated by WaveFormer Pro Version 11.04b at 16:57:25 on 6/20/2006
// Stimulator for stimulus
```

```
// Generation Settings:
// Export type: Master Transactor (reactive export enabled)
// Reactive Features used:
// Non-End Diagram Markers
// Clocked Signals
// Samples
// User-Defined Variables
```