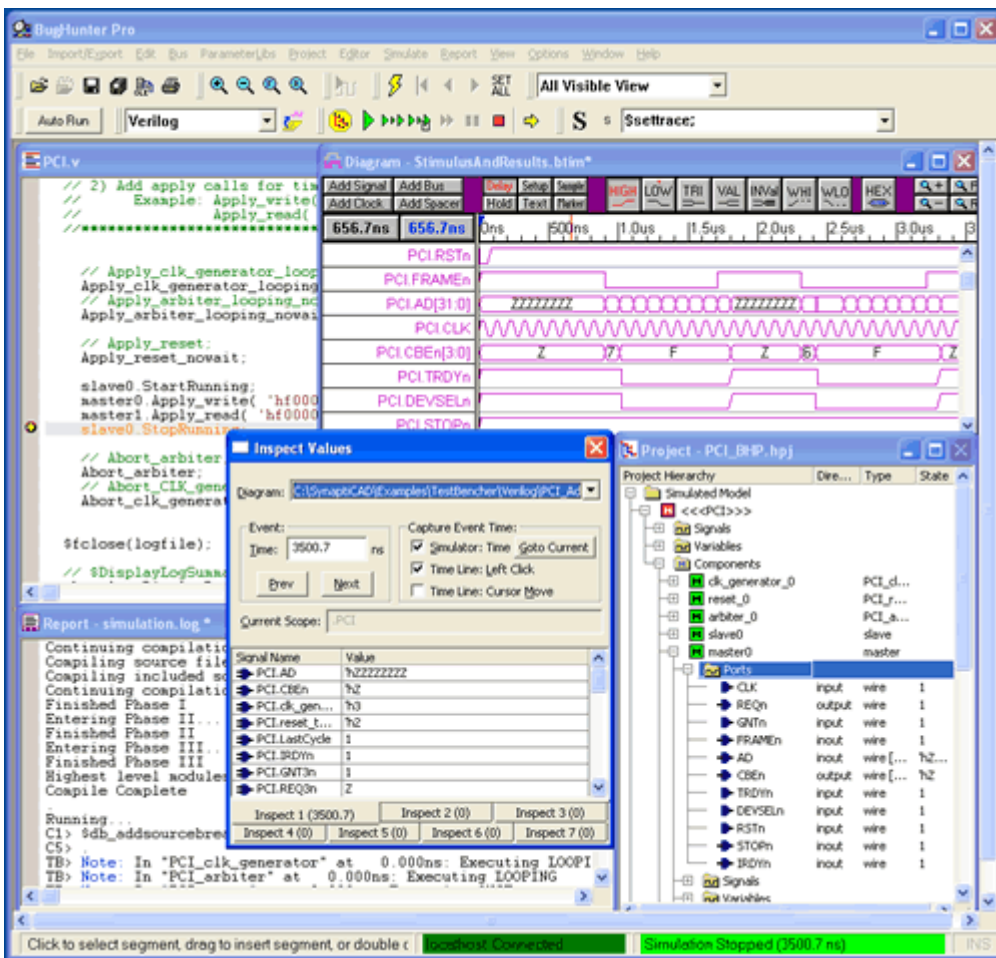


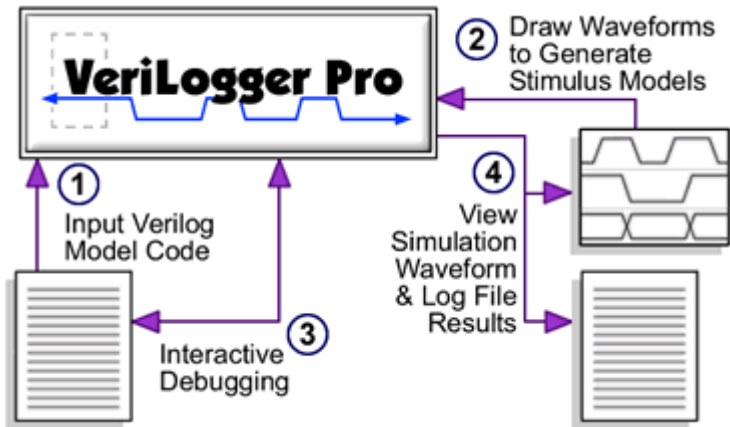
## VeriLogger Pro, VeriLogger Extreme & BugHunter Pro Version 11



### Das Toolset für

- **Simulationen,**
- **Dokumentationen ,**
- **Produkt-Einführungen, Demonstrationen & Trainings**

## VeriLogger Pro & VeriLogger Extreme



Als Ergänzung zum Verilog Simulator VeriLogger Pro hat SynaptiCAD jetzt den Simulator VeriLogger Extrem für komplexere HDL Konstrukte angekündigt. Einige Kunden - auch in Deutschland - nutzen den neuen Simulator bereits in einer Betaversion. VeriLogger Extrem ist ein sehr schneller Simulator für „compiled-code Verilog“ und ist für Gate-Level Simulationen mittlerer und großer Designs vorgesehen.

## BugHunter Pro

Beide Simulatoren haben ein Debugging Tool, nämlich BugHunter Pro.

BHP ist jetzt auch für andere Simulationsumgebungen separat lieferbar:

- Modelsim Verilog/VHDL,
- Aldec ActiveHDL Verilog/VHDL,
- Synopsys VCS und
- Cadence Incisive.

In Version 11 sind jetzt auch Verbesserungen für den Einsatz zusammen mit Modelsim und

ActiveVHDL eingearbeitet.

Das Debugging Tool unterstützt Verilog, VHDL und C++ und ist an Arbeitsplätzen zur Testbench Entwicklung besonders stark.

Viele Designer arbeiten in der Praxis mit mehreren Simulatoren. Hier ist BugHunter Pro jetzt besonders gut einsetzbar, weil der Anwender mit einer Debugging Umgebung für unterschiedliche Simulatoren arbeiten kann.

BugHunter Pro Version 11 hat weitere Verbesserungen:

Sog. Debugging Tool Tips zeigen jetzt den Hierarchie Namen und Typ sowie den Wert.

```

always @(CSB or WRB or ABUS)
begin
    Value: X
    if (CSBName: .syncad_top.sram.CSB
beginType: wire
    if (WRB == 1'BU) //start to
begin
    
```

Mit dem neuen Feature „Go to Definition“ ist das Navigieren in VHDL und Verilog Codes einfacher und schneller geworden. Sprünge von Instance Namen und Procedure Calls zur Declaration für ein Modul, eine Funktion, ein Signal oder eine Variable ersparen zeitraubendes Suchen in den HDL Codes.

The screenshot shows a code editor window titled 'sram.v'. The code contains:

```

begin
    DBUS_driver = 0'h00000000;
    for (i=0; i<4096; i++)
        ram[i] = 0;
    end

```

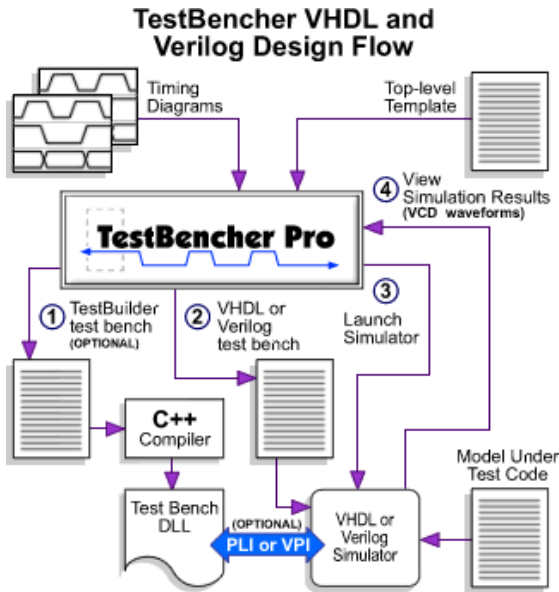
A context menu is open over the 'DBUS\_driver' declaration, with the 'Go to Definition' option highlighted. Below the code, the definition is shown:

```

reg [7:0] DBUS_driver;
wire [7:0] DBUS = DBUS_driver;
reg [7:0] ram[0:4095];

```

# VeriLogger Pro, BugHunter Pro & TestBencher Pro



VeriLogger Pro und somit auch BugHunter Pro sind Bestandteil von TestBencher Pro.

TBP ist die Software zur Entwicklung kompletter Testbenches mit einer grafischen Oberfläche für alle HDL Simulationsumgebungen.

Mit TestBencher Pro segmentiert der Anwender komplexe Testbenches in einzelne übersichtliche Transaktionen und stellt diese grafisch dar.

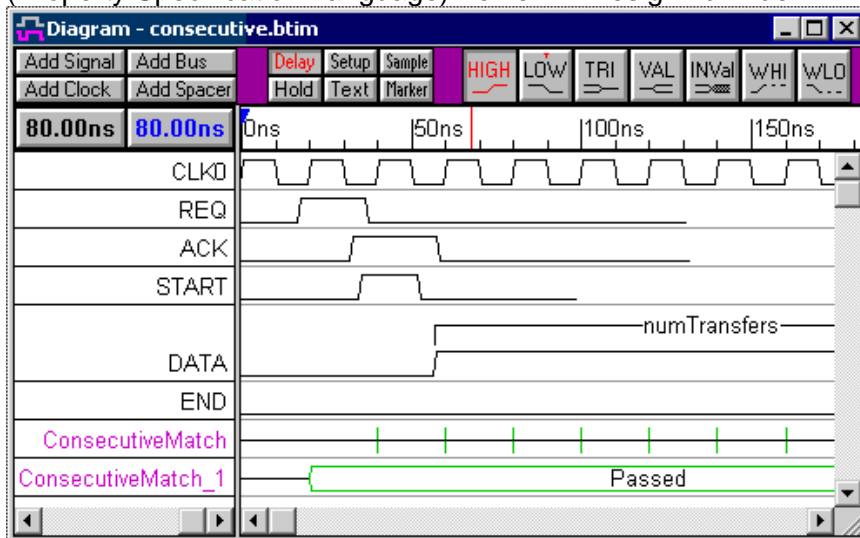
Die Diagramme sind zunächst HDL-Sprach unabhängig. TestBencher Pro speichert die Diagramme automatisch in der gewählten HDL-Sprache ab.

Der Anwender kann den HDL-Code sehen und verändern, aber schreiben muss er ihn nicht. Verilog Designer sind im Vorteil, weil sie die Verilog MUT's und Testbenches sofort und unkompliziert mit dem integrierten VeriLogger Pro testen können.

Der Umfang der Testbenches ist über eine Auswahl der Transaktionen für einen Simulationslauf steuerbar. Natürlich sind auch externe Simulatoren wie z.B. Modelsim zusammen mit TestBencher Pro einsetzbar.

In Version 11 wird TestBencher Pro kurzfristig als Option ein Transaction Tracker Tool für die Analyse von Signalen mit Accelera PSL 1.1 haben. PSL Ausdrücke bringt der Anwender auf die gleiche Art wie z.B. Boolesche Gleichungen mit dem Signal Properties Dialog in die Diagramme.

Dies ist ein sehr guter Weg, um mit der Leistungsfähigkeit von PSL (Property Specification Language) Fehler im Design zu finden.



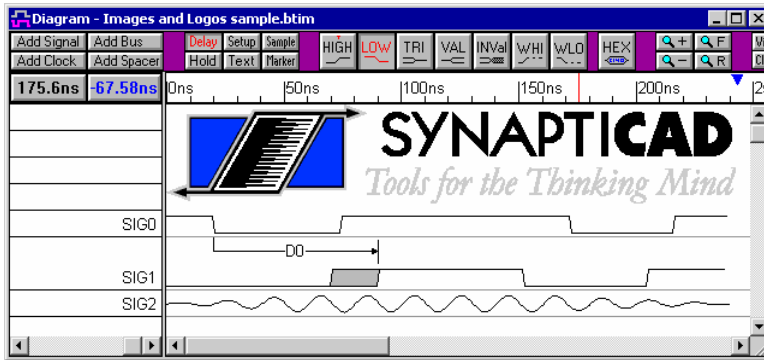
The 'Signal Properties' dialog box is shown for a signal named 'ConsecutiveMatch'. It includes options for 'Active Low', 'Simulate Once', 'Analog Props', and 'Grid Lines'. The 'Drive' mode is set to 'Simulate'. The 'Temporal Sequence' is set to 'ex. {SIG0; SIG0}'. A red circle highlights the 'Property Specification Language' (PSL) expression: `{{REQ;ACK} |-> {START;DATA[*1..8];END}}`. Other settings include 'Clock: CLK0', 'Edge/Level: pos', and 'Export Signal' checked.

Simulationen sollen Fehler zeigen und zwar schnell auffindbar. Zusätzlich zur Entwicklung kompletter Testbenches steuert TestBencher Pro die Simulationen - auch mit externen Simulatoren wie Modelsim - und importiert die Simulationsergebnisse automatisch - meistens per VCD Datei. In den Simulationsergebnissen waren Fehler schon immer zu sehen,

jetzt aber noch besser: Sog. Sticky Notes werden jetzt als grafische Objekte in die Diagramme der Simulationsergebnisse bei Fehlern eingepflanzt. Mit dem gleichen Verfahren werden jetzt auch Delays, Setups und Holds in die Diagramme aufgrund der Simulationsergebnisse grafisch angezeigt.

## DataSheet Pro

wird für professionelle Dokumentationen in der Halbleiter-Industrie benutzt. Da hat man manchmal gern sein Logo im Timingdiagramm:



Mit dem Begriff Dokumentation ist hier nicht nur die Erstellung von Timingdiagrammen für Datenblätter und Handbücher gemeint. Mit einer spezielle Konfiguration von DataSheet Pro zusammen mit dem zum Toolset gehörenden Simulator VeriLogger Pro und einem entsprechenden HDL-Modell kann die Funktion von Integrierten Schaltungen interaktiv erklärt werden.

Dies ist für Halbleiterhersteller sehr interessant, um Systementwicklern neue Bausteine schnell erläutern zu können.

Auf der JEDEX im April hat ein in der Nutzung von DataSheet Pro zur Erstellung von Produkt Dokumentationen sehr erfahrener deutscher Halbleiterhersteller einen Vortrag mit der Kombination HDL-Modell, VeriLogger Pro und DataSheet Pro zur Erläuterung und Demonstration des Interface Protokolls eines neuen Bausteines genutzt. Das Datenblatt für das neue IC hat 122 Seiten mit 102 Grafiken

und 72 Tabellen – viel Stoff zum Lesen. Mit dem hier beschriebenen Software Setup ist das Verständnis wesentlich schneller an den Mann und die Frau zu bringen.

Dem Hardware Designer erspart dieses Software Setup viel Zeit und Aufwand für den Aufbau einer eigenen HDL-Simulation am Anfang des Studiums eines neuen ICs. What-if Szenarien sind auf Knopfdruck mit leicht verständlichen Darstellungen in Timingdiagrammen schnell möglich.

## DataSheet Pro Version 11

DataSheet Pro hat jetzt zusätzlich zu den Web-Ausgabeformaten TIFF und PNG auch noch das SVG (Scalable Vector Graphics) Format bekommen. SVG ist ein 2-dimensionales XML Format und wird bereits in vielen anderen Tools ebenfalls verwendet.

Mit DataSheet Pro und mit WaveFormer Pro entwickelte Timingdiagramme können als HDL-Datei (VHDL, Verilog, etc) exportiert und als Stimuli in Simulationen verwendet werden. TestBencher Pro bietet wesentlich mehr Komfort und speichert die Diagramme automatisch im Diagramm-Format .btim und als HDL-Datei ab. TestBencher Pro ist das

Tool zur Erstellung kompletter Testbenches und zur Steuerung der Simulation einschließlich Import von Simulationsergebnissen und weiterer Simulationssteuerung aufgrund dieser importierten Simulationsergebnissen.

Stickynotes sind immer mehr in HDL Entwicklungstools zu sehen. DataSheet Pro und Testbencher Pro haben diese Funktion jetzt auch: Hiermit können grafische Objekte von der Simulation in Diagrammen, die ein Simulationsergebnis darstellen, zur Anzeige gebracht werden